

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hiroyuki Miyake et al. Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : April 2, 2004
Title : SOURCE FOLLOWER, VOLTAGE FOLLOWER, AND SEMICONDUCTOR
DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

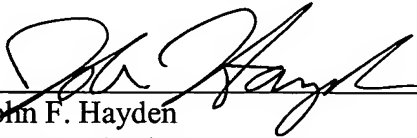
Japan Application No. 2003-104720, filed April 9, 2003

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: April 2, 2004



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 4月 9日
Date of Application:

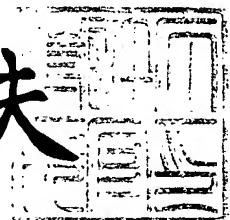
出願番号 特願2003-104720
Application Number:
[JP2003-104720]

願人 株式会社半導体エネルギー研究所
Applicant(s):

2004年 2月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫





日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 4 7 2 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 4 7 2 0]

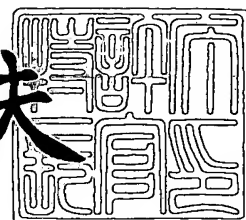
出 願 人 株式会社半導体エネルギー研究所
Applicant(s):



2 0 0 4 年 2 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 6 1 0 5

【書類名】 特許願

【整理番号】 P007083

【提出日】 平成15年 4月 9日

【あて先】 特許庁長官 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 三宅 博之

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 塩野入 豊

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ソースフォロワ、ボルテージフォロワ及び半導体装置

【特許請求の範囲】

【請求項 1】

トランジスタと、
第 1 の電極及び第 2 の電極を有する容量素子と、
前記トランジスタのソースに接続された定電流源と、
複数のスイッチング素子とを有するソースフォロワであって、
前記トランジスタのゲートに第 1 の電位が、前記第 1 の電極に入力電位がそれぞれ供給され、なおかつ前記第 2 の電極と前記トランジスタのソースが接続された第 1 の形態と、前記第 1 の電極及び前記トランジスタのゲートに入力電位が供給され、なおかつ前記第 2 の電極をフローティングとする第 2 の形態と、前記第 1 の電極及び前記トランジスタのゲートを接続した状態でフローティングとし、なおかつ前記第 2 の電極に第 2 の電位を供給する第 3 の形態とのいずれか 1 つが、前記複数のスイッチング素子によって選択され、
前記トランジスタのドレインには第 3 の電位が与えられ、
前記トランジスタのソースの電位が後段の回路に供給されることを特徴とするソースフォロワ。

【請求項 2】

トランジスタと、
第 1 の電極及び第 2 の電極を有する容量素子と、
前記第 1 の電極への入力電位の供給を制御する第 1 のスイッチング素子と、
前記トランジスタのゲートへの第 1 の電位の供給を制御する第 2 のスイッチング素子と、
前記トランジスタのゲートと、前記第 1 の電極との接続を制御する第 3 のスイッチング素子と、
前記第 2 の電極への第 2 の電位の供給を制御する第 4 のスイッチング素子と、
前記第 2 の電極と前記トランジスタのソースの接続を制御する第 5 のスイッチング素子と、

前記トランジスタのソースに接続された定電流源と、
を有するソースフォロワであって、

前記第2のスイッチング素子及び前記第3のスイッチング素子によって、前記第1の電極への前記第1の電位の供給が制御され、

前記トランジスタのドレインには第3の電位が与えられ、

前記トランジスタのソースの電位が後段の回路に供給されることを特徴とするソースフォロワ。

【請求項3】

オペアンプと、

第1の電極及び第2の電極を有する容量素子と、

複数のスイッチング素子とを有するボルテージフォロワであって、

前記オペアンプの非反転入力端子に第1の電位が、前記第1の電極に入力電位がそれぞれ供給され、なおかつ前記第2の電極と前記オペアンプの出力端子が接続された第1の形態と、前記第1の電極及び前記非反転入力端子に入力電位が供給され、なおかつ前記第2の電極をフローティングとする第2の形態と、前記第1の電極及び前記非反転入力端子を接続した状態でフローティングとし、なおかつ前記第2の電極に第2の電位を供給する第3の形態とのいずれか1つが、前記複数のスイッチング素子によって選択され、

前記オペアンプの反転入力端子は前記出力端子に接続され、

前記出力端子の電位が後段の回路に供給されることを特徴とするボルテージフォロワ。

【請求項4】

オペアンプと、

第1の電極及び第2の電極を有する容量素子と、

前記第1の電極への入力電位の供給を制御する第1のスイッチング素子と、

前記オペアンプの非反転入力端子への第1の電位の供給を制御する第2のスイッチング素子と、

前記非反転入力端子と、前記第1の電極との接続を制御する第3のスイッチング素子と、

前記第 2 の電極への第 2 の電位の供給を制御する第 4 のスイッチング素子と、
前記第 2 の電極と前記オペアンプの出力端子の接続を制御する第 5 のスイッチング素子と、

を有するボルテージフォロワであって、

前記第 2 のスイッチング素子及び前記第 3 のスイッチング素子によって、前記第 1 の電極への前記第 1 の電位の供給が制御され、

前記オペアンプの反転入力端子は前記出力端子に接続され、

前記出力端子の電位が後段の回路に供給されることを特徴とするボルテージフォロワ。

【請求項 5】

請求項 1 または請求項 2 に記載の前記ソースフォロワを有する半導体装置であって、

前記半導体装置は表示素子を備えた画素を有しており、

ビデオ信号の電位が前記ソースフォロワに前記入力電位として与えられ、

前記ソースフォロワの前記出力電位が信号線を介して前記画素に供給されることを特徴とする半導体装置。

【請求項 6】

請求項 1 または請求項 2 に記載の前記ソースフォロワと、第 1 のアナログラッチと、第 2 のアナログラッチとを信号線駆動回路に有する半導体装置であって、

前記半導体装置は表示素子を備えた画素を有しており、

前記第 1 のアナログラッチに順に入力されたビデオ信号の電位が、前記第 2 のアナログラッチに書き込まれた後、前記ソースフォロワに前記入力電位として与えられ、

前記ソースフォロワの前記出力電位が信号線を介して前記画素に供給されることを特徴とする半導体装置。

【請求項 7】

請求項 1 または請求項 2 に記載の前記ソースフォロワと、アナログラッチとを信号線駆動回路に有する半導体装置であって、

前記半導体装置は表示素子を備えた画素を有しており、

前記アナログラッチに順に入力されたビデオ信号の電位が、前記ソースフォロフに前記入力電位として与えられ、

前記ソースフォロフの前記出力電位が信号線を介して前記画素に供給されることを特徴とする半導体装置。

【請求項 8】

請求項 3 または請求項 4 に記載の前記ボルテージフォロフを有する半導体装置であって、

前記半導体装置は表示素子を備えた画素を有しており、

ビデオ信号の電位が前記ボルテージフォロフに前記入力電位として与えられ、

前記ボルテージフォロフの前記出力電位が信号線を介して前記画素に供給されることを特徴とする半導体装置。

【請求項 9】

請求項 3 または請求項 4 に記載の前記ボルテージフォロフと、第 1 のアナログラッチと、第 2 のアナログラッチとを信号線駆動回路に有する半導体装置であって、

前記半導体装置は表示素子を備えた画素を有しており、

前記第 1 のアナログラッチに順に入力されたビデオ信号の電位が、前記第 2 のアナログラッチに書き込まれた後、前記ボルテージフォロフに前記入力電位として与えられ、

前記ボルテージフォロフの前記出力電位が信号線を介して前記画素に供給されることを特徴とする半導体装置。

【請求項 10】

請求項 3 または請求項 4 に記載の前記ボルテージフォロフと、アナログラッチとを信号線駆動回路に有する半導体装置であって、

前記半導体装置は表示素子を備えた画素を有しており、

前記アナログラッチに順に入力されたビデオ信号の電位が、前記ボルテージフォロフに前記入力電位として与えられ、

前記ボルテージフォロフの前記出力電位が信号線を介して前記画素に供給されることを特徴とする半導体装置。

【請求項 11】

トランジスタと、

第1の電極及び第2の電極を有する容量素子と、

前記トランジスタのソースに接続された定電流源と、

複数のスイッチング素子とを有する半導体装置であって、

前記トランジスタのゲートに第1の電位が、前記第1の電極に入力電位がそれぞれ供給され、なおかつ前記第2の電極と前記トランジスタのソースが接続された第1の形態と、前記第1の電極及び前記トランジスタのゲートに入力電位が供給され、なおかつ前記第2の電極をフローティングとする第2の形態と、前記第1の電極及び前記トランジスタを接続した状態でフローティングとし、なおかつ前記第2の電極に第2の電位を供給する第3の形態とのいずれか1つが、前記複数のスイッチング素子によって選択され、

前記トランジスタのドレインには第3の電位が与えられ、

前記トランジスタのソースの電位が後段の回路に供給されることを特徴とする半導体装置。

【請求項 12】

トランジスタと、

第1の電極及び第2の電極を有する容量素子と、

前記第1の電極への入力電位の供給を制御する第1のスイッチング素子と、

前記トランジスタのゲートへの第1の電位の供給を制御する第2のスイッチング素子と、

前記トランジスタのゲートと、前記第1の電極との接続を制御する第3のスイッチング素子と、

前記第2の電極への第2の電位の供給を制御する第4のスイッチング素子と、

前記第2の電極と前記トランジスタのソースの接続を制御する第5のスイッチング素子と、

前記トランジスタのソースに接続された定電流源と、
を有する半導体装置であって、

前記第2のスイッチング素子及び前記第3のスイッチング素子によって、前記

第1の電極への前記第1の電位の供給が制御され、

前記トランジスタのドレインには第3の電位が与えられ、

前記トランジスタのソースの電位が後段の回路に供給されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はソースフォロワ及びボルテージフォロワに関し、さらには薄膜トランジスタを用いて形成されるソースフォロワ及びボルテージフォロワを駆動回路に備えた半導体表示装置に関する。

【0002】

【従来の技術】

アクティブマトリクス型の半導体表示装置は、表示素子を備えた画素が画素部においてマトリクス状にレイアウトされており、画素部に複数設けられた信号線を介して、表示素子の駆動を制御するビデオ信号が各画素に供給されている。この信号線は、画素内の表示素子またはその他回路素子に起因する負荷容量を有するため、供給される電流量が不十分だと該負荷容量への充電を瞬時に行なうことができず、各画素に入力されるビデオ信号に、無視できない程度の遅延や立ち上がり又は立ち下がり”鈍り”が生じるという問題があった。特に表示装置の画素部のサイズが大きくなるほど、画素数の増加に伴う配線長の増大によって他の配線との間の負荷容量が大きくなるので、この問題はより顕著となる。

【0003】

そこで通常は、信号線駆動回路の出力側にインピーダンス変換を行なうことを目的としたボルテージフォロワやソースフォロワ等の回路が設けられている。特にソースフォロワは、トランジスタのドレインを一定電位に吊り、ゲートを入力とし、ソースに定電流源を接続して出力とする非常に簡単な構成を有している。そのため、解像度の増加に伴い信号線の数が増加しても信号線駆動回路の面積の増大を抑えることができ、代表的なインピーダンス変換器として、半導体表示装置の信号線駆動回路に用いられている。信号線駆動回路の出力側にインピーダン

ス変換器を設けることで、信号線への電流の供給量を高め、ビデオ信号の遅延や、立ち上がり又は立ち下りの鈍りを防ぐことができる。

【0004】

ところで、安価なガラス基板を用いて形成されるアクティブマトリクス型の半導体表示装置は、その解像度が高くなるにつれて、実装に用いる画素部周辺の領域（額縁領域）の基板に占める割合が増大し、小型化が妨げられる傾向がある。そのため、単結晶のシリコンウェハを用いて形成されたICを実装する方式には限界があると考えられており、信号線駆動回路や走査線駆動回路を画素部と同じガラス基板上に一体形成する技術、所謂システムオンパネル化が重要視されている。

【0005】

しかし薄膜トランジスタは、単結晶のMOSトランジスタに比べて特性のバラツキが大きい。特に閾値電圧のばらつきは、ソースフォロワやボルテージフォロワの出力電圧にそのまま反映される。図9（A）に、一般的なソースフォロワの回路図を示す。図9（A）に示すソースフォロワは、トランジスタ901のゲート（G）に入力電位 V_{in} が与えられ、ドレイン（D）に電源から電位 V_{dd} （ $V_{dd} > G_{nd}$ （グラウンドの電位））が与えられる。またソース（S）には定電流源902が接続されており、ソースの電位が出力電位 V_{out} となる。

【0006】

上記構成を有するソースフォロワの出力電位 V_{out} は、以下の式1で表される。なお V_{gs} はゲートの電位からソースの電位を差し引いた電圧（ゲート電圧）に相当する。

【0007】

【式1】

$$V_{out} = V_{in} - V_{gs}$$

【0008】

このゲート電圧 V_{gs} の値は、ゲート電圧 V_{gs} とドレイン電流 I_d の関係によって決まってくる。トランジスタ901が飽和領域で動作している場合、そのドレイン電流 I_d は以下の式2で表される。なお、 μ を移動度、 C_0 を単位面積

あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{th} を閾値電圧とする。

【0 0 0 9】

【式 2】

$$I_d = \mu C_0 W/L (V_{gs} - V_{th})^2 / 2$$

【0 0 1 0】

式 2 において μ 、 C_0 、 W/L 、 V_{th} は全て個々のトランジスタによって決まる固定の値である。そしてトランジスタ 9 0 1 のドレイン電流 I_d は、定電流源 9 0 2 によってほぼ定まる。よって閾値電圧 V_{th} が一定の場合は、式 2 から、所定の値のゲート電圧 V_{gs} が得られることがわかる。逆に言うと、閾値電圧がばらつくとゲート電圧 V_{gs} も連動してばらつくことになり、結果的に出力電位 V_{out} がばらつくことがわかる。

【0 0 1 1】

図 9 (B) に、図 9 (A) に示すソースフォロワの、入力電位 V_{in} に対する出力電位 V_{out} の測定値を示す。図 9 (B) に示すように、実際に出力電位 V_{out} が各ソースフォロワごとにばらついているのがわかる。そしてこのように信号線駆動回路の出力側に設けられるソースフォロワの出力がばらつくと、各信号線ごとにビデオ信号の電位がばらついてしまい、観察者に縞状の輝度むらとして視認されてしまう。

【0 0 1 2】

【発明が解決しようとする課題】

本発明は上記問題に鑑み、TFT の閾値電圧がばらついても出力電位がばらつきのを抑えることができるソースフォロワ及びボルテージフォロワの提案、及びソースフォロワ又はボルテージフォロワの出力電位のばらつきにより観察者に縞状の輝度むらが視認されてしまうのを防ぐことができる、半導体表示装置の提案を課題とする。

【0 0 1 3】

【課題を解決するための手段】

本発明では、容量素子を用いてゲート電圧のばらつきに起因する出力電位のば

らつきを補正する。具体的には、まず第1の期間（書き込み期間）において、容量素子が有する第1の電極に入力電位 V_{in} を与える。またトランジスタのソースに容量素子の第2の電極を接続し、ドレインの電位を固定し、ゲートにプリチャージ電位 V_{pre} を与えることで、第2の電極に、プリチャージ電位 V_{pre} からゲート電圧 V_{gs} を差し引いた電位を与える。このとき容量素子に蓄積される電圧は、 $V_{in} - V_{pre} + V_{gs}$ となる。

【0014】

次に第2の期間（保持期間）において、第1の電極とトランジスタのゲート電極を接続し、共に入力電位 V_{in} を与える。そして第2の電極をフローティングにし、第1の期間において蓄積された電圧を保持する。次に第3の期間（出力期間）において、第1の電極とトランジスタのゲートを接続したままフローティングにする。さらに第2の電極にオフセット電位 V_o を与えることで、電荷保存の法則により、第1の電極及びトランジスタのゲートの電位が $V_o + V_{in} - V_{pre} + V_{gs}$ となる。従って、トランジスタのソースの電位が $V_o + V_{in} - V_{pre}$ となり、該ソースの電位を出力電位 V_{out} とすることで、出力電位 V_{out} の電位を V_{gs} の電位に依存せずに決めることができる。

【0015】

本発明は上記構成によって、トランジスタの閾値電圧のばらつきの影響によりソースフォロワの出力電位がばらつくのを防ぐことができる。

【0016】

また本発明の技術的思想はソースフォロワのみならず、オペアンプを用いたボルテージフォロワにも適用させることができる。この場合具体的には、まず第1の期間（書き込み期間）において、容量素子が有する第1の電極に入力電位 V_{in} を与える。またオペアンプの出力端子に容量素子の第2の電極を接続し、非反転入力端子にプリチャージ電位 V_{pre} を与えることで、第2の電極に、プリチャージ電位 V_{pre} からオペアンプのオフセット電圧 V_{op} を差し引いた電位を与える。このとき容量素子に蓄積される電圧は、 $V_{in} - V_{pre} + V_{op}$ となる。オペアンプのオフセット電圧 V_{op} の値は、オペアンプを構成するトランジスタの特性に依存して決まる。

【0017】

次に第2の期間（保持期間）において、第1の電極とオペアンプの非反転入力端子を接続し、共に入力電位 V_{in} を与える。そして第2の電極をフローティングにし、第1の期間において蓄積された電圧を保持する。次に第3の期間（出力期間）において、第1の電極とオペアンプの非反転入力端子を接続したままフローティングにする。さらに第2の電極にオフセット電位 V_o を与えることで、電荷保存の法則により、第1の電極及びオペアンプの非反転入力端子の電位が $V_o + V_{in} - V_{pre} + V_{op}$ となる。従って、オペアンプの出力端子の電位が $V_o + V_{in} - V_{pre}$ となり、該ソースの電位を出力電位 V_{out} とすることで、出力電位 V_{out} の電位を V_{op} の電位に依存せずに決めることができる。

【0018】

本発明は上記構成によって、オペアンプを構成するトランジスタの閾値電圧のばらつきの影響によりボルテージフォロウの出力電位がばらつくのを防ぐことができる。

【0019】

そして、該ソースフォロウ又はボルテージフォロウを信号線駆動回路の出力側に設けることで、各信号線に輸入されるビデオ信号の電位がばらつくのを防ぎ、半導体表示装置に縞状の輝度むらが視認されてしまうのを防ぐことができる。

【0020】

なお本発明の半導体装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置が含まれる。また本発明の半導体装置は上記半導体表示装置に限定されず、本発明のソースフォロウまたはボルテージフォロウを用いた半導体集積回路もその範疇に含まれる。

【0021】

なお本発明では、薄膜トランジスタ以外のトランジスタを用いることが可能である。本発明において用いられるトランジスタは、単結晶シリコンを用いて形成

されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0022】

【発明の実施の形態】

（実施の形態1）

図1（A）に、本発明のソースフォロワの一形態に相当する回路図を示す。本発明のソースフォロワは、トランジスタ101と、定電流源102と、トランジスタ101のゲートとソースに与えられる電位を補正する補正部103とを有する。

【0023】

トランジスタ101は、ドレインに固定の電位 V_{dd} が与えられ、ソースに定電流源102が接続されている。このトランジスタ101のソースの電位が、出力電位に相当する。

【0024】

補正部103は、容量素子109と、該容量素子109に書き込まれる電圧を制御するためのスイッチング素子として用いる複数のトランジスタ104～108を有している。具体的に図1（A）では、トランジスタ104によって、容量素子109が有する第1の電極への、入力電位 V_{in} の供給が制御される。トランジスタ107によって、容量素子109が有する第2の電極への、オフセット電位 V_o の供給が制御される。トランジスタ108によって、容量素子109が有する第2の電極とトランジスタ101のソースとの接続が制御される。トランジスタ105によって、トランジスタ101のゲートへの、プリチャージ電位 V_{pre} の供給が制御される。トランジスタ106によって、トランジスタ101のゲートと、容量素子109が有する第1の電極との接続が制御される。またト

ランジスタ105及びトランジスタ106によって、容量素子109が有する第1の電極への、プリチャージ電位 V_{pre} の供給が制御される。

【0025】

次に、図1(A)に示したソースフォロワの動作について説明する。本発明のソースフォロワは、その動作を書き込み期間、保持期間、出力期間とに分けて説明することができる。トランジスタ104～108のゲートに与えられる電位をそれぞれ $V_{g1} \sim V_{g5}$ として、該電位 $V_{g1} \sim V_{g5}$ のタイミングチャートを図1(B)に示す。

【0026】

まず図1(B)に示したタイミングチャートから分かるように、書き込み期間においては、トランジスタ104、105、108をオン、トランジスタ106、107をオフにする。図1(A)に示したソースフォロワの、トランジスタ101と、定電流源102と、容量素子109の書き込み期間における接続関係を、図2(A)に簡略化して示す。なお、 V_1 は第1の電極の電位、 V_2 は第2の電極の電位を意味する。また V_{ss} は電源から与えられる固定の電位であり、電位 V_{dd} 、 V_{pre} 、 V_{in} よりも低い電位とし、グラウンドの電位であっても良い。

【0027】

図2(A)に示すように、書き込み期間では、容量素子109の第1の電極に入力電位 V_{in} が与えられる。よって第1の電極の電位 $V_1 = V_{in}$ となる。また、トランジスタ101のゲートにはプリチャージ用の電位（プリチャージ電位）が与えられ、ソースは容量素子109の第2の電極に接続される。よって、トランジスタ101のソースは、プリチャージ電位 V_{pre} からゲート電圧 V_{gs} を差し引いた電位となり、第2の電極の電位 $V_2 = V_{pre} - V_{gs}$ となる。したがって、書き込み期間の終了直前までに容量素子109に書き込まれる電圧 V_c は、 $V_c = V_1 - V_2 = V_{in} - V_{pre} + V_{gs}$ となる。

【0028】

なお、書き込み期間の開始時において、トランジスタ104は、トランジスタ105及び108をオンにした後、オンにするのが望ましい。上記タイミングで

動作させることにより、容量素子 109 の第 2 の電極の電位が安定してから、第 1 の電極に入力電位 V_{in} を与えることができる。

【0029】

書き込み期間の次に開始される保持期間では、図 1 (B) に示したタイミングチャートから分かるように、トランジスタ 104、106 をオン、トランジスタ 105、107、108 をオフにする。図 1 (A) に示したソースフォロワの、トランジスタ 101 と、定電流源 102 と、容量素子 109 の保持期間における接続関係を、図 2 (B) に簡略化して示す。

【0030】

図 2 (B) に示すように、保持期間では、容量素子 109 の第 1 の電極とトランジスタ 101 のゲートとを接続する。そして容量素子 109 の第 1 の電極及びトランジスタ 101 のゲートに、入力電位 V_{in} が与えられる。よって第 1 の電極の電位 $V_1 = V_{in}$ である。またスイッチング素子として機能するトランジスタ 108 がオフなので、容量素子 109 の第 2 の電極はフローティングの状態となる。よって、第 2 の電極の電位 V_2 は、書き込み期間と同じく、 $V_2 = V_{pre} - V_{gs}$ のままである。したがって、書き込み期間の終了直前までに容量素子 109 に書き込まれる電圧 V_c は、保持期間において $V_c = V_1 - V_2 = V_{in} - V_{pre} + V_{gs}$ のまま保持される。

【0031】

なお、書き込み期間から保持期間への以降する際、トランジスタ 108 をトランジスタ 105 よりも早いタイミングでオフさせるのが望ましい。上記タイミングで動作させることで、容量素子 109 に書き込まれた電圧を、確実に保持することができる。

【0032】

保持期間の次に開始される出力期間では、図 1 (B) に示したタイミングチャートから分かるように、トランジスタ 106、107 をオン、トランジスタ 104、105、108 をオフにする。図 1 (A) に示したソースフォロワの、トランジスタ 101 と、定電流源 102 と、容量素子 109 の出力期間における接続関係を、図 2 (C) に簡略化して示す。

【0033】

図2 (C) に示すように、出力期間では、容量素子109の第1の電極とトランジスタ101のゲートが接続されている。そして保持期間と異なり、容量素子109の第1の電極とトランジスタ101のゲートには入力電位 V_{in} が与えられておらず、所謂フローティングの状態にある。また容量素子109の第2の電極には、オフセット電位 V_o が与えられている。よって容量素子109の第2の電極の電位 $V_2 = V_o$ となる。そして保持容量109に保持されている電圧 V_c は、電荷保存の法則に従ってそのまま保持されるので、容量素子109の第1の電極の電位 $V_1 = V_2 + V_c = V_o + V_{in} - V_{pre} + V_{gs}$ となる。

【0034】

そして、トランジスタ101のゲートは容量素子109の第1の電極と接続されており、またトランジスタ101のソースは、ゲートの電位からゲート電圧 V_{gs} を差し引いた電位となる。従って、トランジスタ101のソースの電位は、 $V_1 - V_{gs} = V_o + V_{in} - V_{pre}$ となる。そしてこのソースの電位が、ソースフォロワの出力電位 V_{out} に相当するので、 $V_{out} = V_o + V_{in} - V_{pre}$ となる。

【0035】

よって出力信号 V_{out} は、トランジスタ101のゲート電圧 V_{gs} の値に依存せず、オフセット電位 V_o 、入力電位 V_{in} 、プリチャージ電位 V_{pre} によって決まる。従って、トランジスタの閾値電圧のばらつきの影響によりソースフォロワの出力電位 V_{out} がばらつくのを防ぐことができる。そして、該ソースフォロワを信号線駆動回路の出力側に設けることで、各信号線に入力されるビデオ信号の電位がばらつくのを防ぎ、半導体表示装置に縞状の輝度むらが視認されてしまうのを防ぐことができる。

【0036】

また、オフセット電位 V_o 、入力電位 V_{in} 、プリチャージ電位 V_{pre} は、トランジスタ101が飽和領域で動作するような高さに設定する。またオフセット電位 V_o 、入力電位 V_{in} 、プリチャージ電位 V_{pre} を、定電流源の定電流性が保たれるような高さに設定することも重要である。

【0037】

そして次に再び書き込み期間を設ける前に、容量素子 109 に保持されている電荷をリセットしても良い。電荷のリセットは、書き込み期間において書き込まれた電荷の量に依存することなく、常に一定の値となるようにする。

【0038】

なお、図 1 (B) に示すタイミングチャートは、図 1 (A) に示したトランジスタ 104～108 が全て n チャンネル型であることを前提にしている。トランジスタ 104～108 は n 型であっても p 型でもってどちらでも良い。よって各トランジスタのゲートに与えられる電位は、図 1 (B) に示すタイミングチャートに限定されない。図 2 (A)～図 2 (C) に示した動作を行うように、各トランジスタの極性に合わせて、タイミングチャートを適宜変えるようにする。

【0039】

なお定電流源は公知の構成を用いることができる。例えば単数のトランジスタを、または直列に接続された複数のトランジスタを、定電流源として用いることができる。この場合、定電流源として用いるトランジスタは、その定電流性を確保するために、飽和領域で動作させる。

【0040】

(実施の形態 2)

図 3 (A) に、本発明のボルテージフォロワの一形態に相当する回路図を示す。本発明のボルテージフォロワは、オペアンプ 301 と、オペアンプ 301 の非反転入力端子 (+) と出力端子に与えられる電位を補正する補正部 302 とを有する。オペアンプ 301 は、その反転入力端子 (-) が出力端子に接続されている。このオペアンプ 301 の出力端子の電位が、出力電位に相当する。

【0041】

補正部 302 は、ソースフォロワの場合と同様に、容量素子 303 と、該容量素子 303 に書き込まれる電圧を制御するためのスイッチング素子として用いる複数のトランジスタ 304～308 を有している。具体的に図 3 (A) では、トランジスタ 304 によって、容量素子 303 が有する第 1 の電極への、入力電位 V_{in} の供給が制御される。トランジスタ 307 によって、容量素子 303 が有

する第2の電極への、オフセット電位 V_o の供給が制御される。トランジスタ 308 によって、容量素子 303 が有する第2の電極とオペアンプ 301 の出力端子との接続が制御される。トランジスタ 305 によって、オペアンプ 301 の非反転入力端子への、プリチャージ電位 V_{pre} の供給が制御される。トランジスタ 306 によって、オペアンプ 301 の非反転入力端子と、容量素子 303 が有する第1の電極との接続が制御される。またトランジスタ 305 及びトランジスタ 306 によって、容量素子 303 が有する第1の電極への、プリチャージ電位 V_{pre} の供給が制御される。

【0042】

次に、図3 (A) に示したボルテージフォロウの動作について説明する。本発明のボルテージフォロウは、実施の形態1で示したソースフォロウと同様に、その動作を書き込み期間、保持期間、出力期間とに分けて説明することができる。そして各期間におけるスイッチング素子の動作は、実施の形態1に示したソースフォロウの動作の場合と同じである。すなわち書き込み期間においては、トランジスタ 304、305、308 をオン、トランジスタ 306、307 をオフにする。図3 (A) に示したボルテージフォロウの、オペアンプ 301 と、容量素子 303 の書き込み期間における接続関係を、図3 (B) に簡略化して示す。なお、 V_1 は第1の電極の電位、 V_2 は第2の電極の電位を意味する。

【0043】

図3 (B) に示すように、書き込み期間では、容量素子 303 の第1の電極に入力電位 V_{in} が与えられる。よって第1の電極の電位 $V_1 = V_{in}$ となる。また、オペアンプ 301 の非反転入力端子にはプリチャージ用の電位（プリチャージ電位）が与えられ、出力端子は容量素子 303 の第2の電極に接続される。よって、オペアンプ 301 の出力端子は、プリチャージ電位 V_{pre} からオペアンプのオフセット電圧 V_{op} を差し引いた電位となり、第2の電極の電位 $V_2 = V_{pre} - V_{op}$ となる。したがって、書き込み期間の終了直前までに容量素子 303 に書き込まれる電圧 V_c は、 $V_c = V_1 - V_2 = V_{in} - V_{pre} + V_{op}$ となる。

【0044】

なお、書き込み期間の開始時において、トランジスタ 304 は、トランジスタ 305 及び 308 をオンにした後、オンにするのが望ましい。上記タイミングで動作させることにより、容量素子 303 の第 2 の電極の電位が安定してから、第 1 の電極に入力電位 V_{in} を与えることができる。

【0045】

書き込み期間の次に開始される保持期間では、トランジスタ 304、306 をオン、トランジスタ 305、307、308 をオフにする。図 3 (A) に示したボルテージフォロワの、オペアンプ 301 と、容量素子 303 の保持期間における接続関係を、図 3 (C) に簡略化して示す。

【0046】

図 3 (C) に示すように、保持期間では、容量素子 303 の第 1 の電極とオペアンプ 301 の非反転入力端子とを接続する。そして容量素子 303 の第 1 の電極及びオペアンプ 301 の非反転入力端子に、入力電位 V_{in} が与えられる。よって第 1 の電極の電位 $V_1 = V_{in}$ である。またスイッチング素子として機能するトランジスタ 308 がオフなので、容量素子 303 の第 2 の電極はフローティングの状態となる。よって、第 2 の電極の電位 V_2 は、書き込み期間と同じく、 $V_2 = V_{pre} - V_{op}$ のままである。したがって、書き込み期間の終了直前までに容量素子 303 に書き込まれる電圧 V_c は、保持期間において $V_c = V_1 - V_2 = V_{in} - V_{pre} + V_{op}$ のまま保持される。

【0047】

なお、書き込み期間から保持期間への以降する際、トランジスタ 308 をトランジスタ 305 よりも早いタイミングでオフさせるのが望ましい。上記タイミングで動作させることで、容量素子 303 に書き込まれた電圧を、確実に保持することができる。

【0048】

保持期間の次に開始される出力期間では、トランジスタ 306、307 をオン、トランジスタ 304、305、308 をオフにする。図 3 (A) に示したボルテージフォロワの、オペアンプ 301 と、容量素子 303 の出力期間における接続関係を、図 3 (D) に簡略化して示す。

【0049】

図3 (D) に示すように、出力期間では、容量素子303の第1の電極とオペアンプ301の非反転入力端子が接続されている。そして保持期間と異なり、容量素子303の第1の電極とオペアンプ301の非反転入力端子には入力電位 V_{in} が与えられておらず、所謂フローティングの状態にある。また容量素子303の第2の電極には、オフセット電位 V_o が与えられている。よって容量素子303の第2の電極の電位 $V_2 = V_o$ となる。そして保持容量109に保持されている電圧 V_c は、電荷保存の法則に従ってそのまま保持されるので、容量素子303の第1の電極の電位 $V_1 = V_2 + V_c = V_o + V_{in} - V_{pre} + V_{op}$ となる。

【0050】

そして、オペアンプ301の非反転入力端子は容量素子303の第1の電極と接続されており、またオペアンプ301の出力端子は、非反転入力端子の電位からオペアンプのオフセット電圧 V_{op} を差し引いた電位となる。従って、オペアンプ301の出力端子の電位は、 $V_1 - V_{op} = V_o + V_{in} - V_{pre}$ となる。そしてこの出力端子の電位が、ボルテージフォロウの出力電位 V_{out} に相当するので、 $V_{out} = V_o + V_{in} - V_{pre}$ となる。

【0051】

よって出力信号 V_{out} は、オペアンプ301のオフセット電圧 V_{op} の値に依存せず、オフセット電位 V_o 、入力電位 V_{in} 、プリチャージ電位 V_{pre} によって決まる。従って、トランジスタの閾値電圧のばらつきの影響によりボルテージフォロウの出力電位 V_{out} がばらつくのを防ぐことができる。そして、該ボルテージフォロウを信号線駆動回路の出力側に設けることで、各信号線に入力されるビデオ信号の電位がばらつくのを防ぎ、半導体表示装置に縞状の輝度むらが視認されてしまうのを防ぐことができる。

【0052】

なお、オフセット電位 V_o 、入力電位 V_{in} 、プリチャージ電位 V_{pre} は、オペアンプ301の定電流性が保たれるような高さに設定することが重要である。

【0053】

そして次に再び書き込み期間を設ける前に、容量素子 303 に保持されている電荷をリセットしても良い。電荷のリセットは、書き込み期間において書き込まれた電荷の量に依存することなく、常に一定の値となるようにする。

【0054】**【実施例】**

以下、本発明の実施例について説明する。

【0055】**（実施例 1）**

本実施例では、図 1 に示したソースフォロワを駆動回路に備えた、本発明の半導体表示装置の構成について説明する。図 4（A）に本実施例の半導体表示装置のブロック図を示す。図 4（A）に示す半導体表示装置は、表示素子を備えた画素を複数有する画素部 401 と、各画素を選択する走査線駆動回路 402 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 403 とを有する。

【0056】

図 4（A）において信号線駆動回路 403 は、シフトレジスタ 404、ソースフォロワ 405 を有している。なお図 4（A）では、信号線駆動回路 403 が有するインピーダンス変換器として、本発明のソースフォロワを用いる例について示しているが、本発明のボルテージフォロワを用いても良い。

【0057】

シフトレジスタ 404 には、クロック信号（CLK）、スタートパルス信号（SP）が入力されている。クロック信号（CLK）とスタートパルス信号（SP）が入力されると、シフトレジスタ 404 においてタイミング信号が生成され、ソースフォロワ 405 に入力される。具体的には、図 1（A）に示したソースフォロワのトランジスタ 104 に、電位 V_{g1} として与えられる。

【0058】

またその他のトランジスタ 105～108 に与えられる電位 $V_{g2} \sim V_{g5}$ と、ビデオ信号（video signal）とが、ソースフォロワ 405 に与えられる。具体

的にビデオ信号の電位は、入力電位 V_{in} としてソースフォロワ 405 に与えられる。よってソースフォロワ 405 により、入力されたビデオ信号によって得られる出力電位が、タイミング信号または電位 $V_{g2} \sim V_{g5}$ に同期して、後段の信号線に与えられる。出力電位は入力電位との間に電位差を有している場合があるが、ソースフォロワ 405 に与えられるビデオ信号の画像情報を含んでいるので、信号線に与えられる出力電位もビデオ信号であると言える。

【0059】

なお図 4 (A) に示した信号線駆動回路を有する半導体表示装置の場合、例えば、画素が表示を行う期間と出力期間を重ね、水平帰線期間または垂直帰線期間内に書き込み期間または保持期間を設けることができる。しかし、信号線に接続された画素へのビデオ信号の入力を行なう期間以外であるならば、必要に応じて帰線期間以外の期間に書き込み期間と保持期間を設けることも可能である。

【0060】

次に、走査線駆動回路 402 の構成について説明する。走査線駆動回路 402 は、シフトレジスタ 406、バッファ 407 を有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路 402 において、シフトレジスタ 406 にクロック CLK 及びスタートパルス信号 SP が入力されることによって、選択信号が生成される。生成された選択信号はバッファ 407 において緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファ 407 は大きな電流を流すことが可能なものが用いられる。

【0061】

なお、シフトレジスタ 404、406 の代わりに、例えばデコード回路のような信号線の選択ができる別の回路を用いても良い。

【0062】

本発明の半導体表示装置を駆動する信号線駆動回路は、本実施例で示す構成に限定されない。

【0063】

(実施例 2)

本実施例では、図 1 に示したソースフォロワを駆動回路に備えた、本発明の半導体表示装置の構成について説明する。図 4 (B) に本実施例の半導体表示装置のブロック図を示す。図 4 (B) に示す半導体表示装置は、表示素子を備えた画素を複数有する画素部 411 と、各画素を選択する走査線駆動回路 412 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 413 とを有する。

【0064】

図 4 (B) において信号線駆動回路 413 は、シフトレジスタ 414、アナログラッチ A 415、アナログラッチ B 416、ソースフォロワ 417 を有している。なお図 4 (B) では、信号線駆動回路 413 が有するインピーダンス変換器として、本発明のソースフォロワを用いる例について示しているが、本発明のボルテージフォロワを用いても良い。

【0065】

シフトレジスタ 414 には、クロック信号 (CLK)、スタートパルス信号 (SP) が入力されている。クロック信号 (CLK) とスタートパルス信号 (SP) が入力されると、シフトレジスタ 414 においてタイミング信号が生成され、一段目のアナログラッチ A 415 に順に入力される。アナログラッチ A 415 にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号が順にアナログラッチ A 415 に書き込まれ、保持される。なお、本実施例ではアナログラッチ A 415 に順にビデオ信号を書き込んでいるが、本発明はこの構成に限定されない。複数のステージのアナログラッチ A 415 をいくつかのグループに分け、各グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動と言う。

【0066】

アナログラッチ A 415 の全てのステージのラッチへの、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0067】

1ライン期間が終了すると、2段目のアナログラッチB416にラッチ信号（Latch Signal）が供給され、該ラッチ信号に同期してアナログラッチA415に保持されているビデオ信号が、アナログラッチB416に一斉に書き込まれ、保持される。ビデオ信号をアナログラッチB416に送出し終えたアナログラッチA415には、再びシフトレジスタ414からのタイミング信号に同期して、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、アナログラッチB416に書き込まれ、保持されているビデオ信号が、ソースフォロワ417に入力電位 V_{in} として入力される。

【0068】

またトランジスタ104～108に与えられる電位 $V_{g1} \sim V_{g5}$ が、ソースフォロワ417に与えられる。よってソースフォロワ417により、入力されたビデオ信号によって得られる出力電位が、ラッチ信号または電位 $V_{g1} \sim V_{g5}$ に同期して、後段の信号線に与えられる。

【0069】

図5に、図4（B）に示した信号線駆動回路413の、アナログラッチA415、アナログラッチB416、ソースフォロワ417の、具体的な回路図の一例を示す。図5に示すように、アナログラッチA415は、容量素子420と、容量素子420へのビデオ信号の電位の供給を制御するスイッチ421とを有している。スイッチ421のスイッチングは、タイミング信号によって制御されている。またアナログラッチB416は、容量素子422と、容量素子420に保持されているビデオ信号の電位の、容量素子422への供給を制御するスイッチ423とを有している。スイッチ423のスイッチングは、ラッチ信号によって制御されている。

【0070】

ソースフォロワ417は、図1（A）に示したものと同一構成を有しており、容量素子422に保持されているビデオ信号の電位が、入力電位 V_{in} としてソースフォロワ417に与えられる。なおソースフォロワ417と信号線との間にスイッチング素子を設け、出力期間以外の書き込み期間や保持期間において、出

力電位が信号線に与えられるのを防ぐようにしても良い。

【0071】

図4 (B)、図5に示した信号線駆動回路を有する半導体表示装置の場合、例えば、画素が表示を行う期間と出力期間を重ね、水平帰線期間または垂直帰線期間内に書き込み期間または保持期間を設けることができる。また、信号線に接続された画素へのビデオ信号の入力を行なう期間以外であるならば、必要に応じて帰線期間以外の期間に書き込み期間と保持期間を設けることも可能である。

【0072】

なお、シフトレジスタ414、416の代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【0073】

また本発明では、ソースフォロワ417が有する容量素子109をアナログラッチの容量素子として用い、2段あるアナログラッチの一方を省略して信号線駆動回路を構成することができる。図5に示した信号線駆動回路の一部において、ソースフォロワの容量素子をアナログラッチの容量素子として用いる例を図6に示す。

【0074】

図6に、信号線駆動回路に設けられたアナログラッチ430と、ソースフォロワ431の回路図を示す。アナログラッチ430では、シフトレジスタから与えられるタイミング信号によってスイッチ433がオンになると、容量素子434にビデオ信号の電位が与えられ、保持される。そして、ラッチ信号の電位が V_g 1としてソースフォロワ431に与えられることによって、トランジスタ104のスイッチングが制御される。トランジスタ104がオンになると、容量素子434に保持されているビデオ信号の電位が、ソースフォロワ431内の容量素子432に書き込まれ、保持される。そしてソースフォロワ431の出力電位が信号線に与えられることで、ビデオ信号が各画素に入力される。

【0075】

図6に示すようにソースフォロワの容量素子をアナログラッチの容量素子として用いることで、図5に示した信号線駆動回路に比べて、アナログラッチの数を

大幅に削減することができ、信号線駆動回路の面積を抑えることができる。

【0076】

本発明の半導体表示装置を駆動する信号線駆動回路は、図4～図5に示す構成に限定されない。

【0077】

(実施例3)

図7に、本発明の半導体表示装置の1つである、発光装置の外観図を示す。半導体表示装置は、表示素子の駆動を制御するトランジスタが各画素に形成され、なおかつ表示素子を形成する前の一形態に相当する素子基板と、素子基板に表示素子が形成された形態に相当するパネルと、該パネルにコントローラ、電源回路等を含むICが実装された形態にあるモジュールなど、本発明を用いたことが立証可能なあらゆる形態が含まれる。本実施例ではモジュールの状態にある発光装置の、具体的な構成の一例について説明する。

【0078】

図7に、コントローラ801及び電源回路802がパネル800に実装されたモジュールの外観図を示す。パネル800には、発光素子が各画素に設けられた画素部803と、前記画素部803が有する画素を選択する走査線駆動回路804と、選択された画素にビデオ信号を供給する信号線駆動回路805とが設けられている。図7では、信号線駆動回路805の出力側に、本発明のソースフォロワまたはボルテージフォロワが設けられている。

【0079】

またプリント基板806にはコントローラ801、電源回路802が設けられており、コントローラ801または電源回路802から出力された各種信号及び電源電圧は、FPC807を介してパネル800の画素部803、走査線駆動回路804、信号線駆動回路805に供給される。ソースフォロワやボルテージフォロワの駆動を制御する信号やビデオ信号も、コントローラ801から信号線駆動回路805に供給される。プリント基板806への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース(I/F)部808を介して供給される。

【0080】

なお、本実施例ではパネル 800 にプリント基板 806 が FPC を用いて実装されているが、必ずしもこの構成に限定されない。COG (Chip on Glass) 方式を用い、コントローラ 801、電源回路 802 をパネル 800 に直接実装させるようにしても良い。コントローラ 801 や電源回路 802 を、パネル 800 内に一体形成しても良い。また、プリント基板 806 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板 806 にコンデンサ、バッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐようにしても良い。

【0081】

(実施例 4)

本発明の半導体装置は、様々な電子機器に用いることができる。本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には DVD : Digital Versatile Disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図 8 に示す。

【0082】

図 8 (A) は表示装置であり、筐体 2001、支持台 2002、表示部 2003、スピーカー部 2004、ビデオ入力端子 2005 等を含む。本発明の半導体装置を表示部 2003 またはその他信号処理回路に用いることができる。なお、表示装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0083】

図 8 (B) はデジタルスチルカメラであり、本体 2101、表示部 2102、

受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明の半導体装置を表示部 2 1 0 2 またはその他信号処理回路に用いることができる。

【0084】

図 8 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明の半導体装置を表示部 2 2 0 3 またはその他信号処理回路に用いることができる。

【0085】

図 8 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明の半導体装置を表示部 2 3 0 2 またはその他信号処理回路に用いることができる。

【0086】

図 8 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の半導体装置を表示部 A 2 4 0 3、B 2 4 0 4 またはその他信号処理回路に用いることができる。

【0087】

図 8 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明の半導体装置を表示部 2 5 0 2 またはその他信号処理回路に用いることができる。

【0088】

図 8 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。本発明の

半導体装置を表示部 2 6 0 2 またはその他信号処理回路に用いることができる。

【0 0 8 9】

ここで図 8 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。本発明の半導体装置を表示部 2 7 0 3 またはその他信号処理回路に用いることができる。

【0 0 9 0】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0 0 9 1】

【発明の効果】

本発明は上記構成によって、オペアンプを構成するトランジスタの閾値電圧のばらつきの影響によりボルテージフォロウの出力電位がばらつくのを防ぐことができる。そして、該ソースフォロウ又はボルテージフォロウを信号線駆動回路の出力側に設けることで、各信号線に入力されるビデオ信号の電位がばらつくのを防ぎ、半導体表示装置に縞状の輝度むらが視認されてしまうのを防ぐことができる。

【図面の簡単な説明】

- 【図 1】 本発明のソースフォロウとそのタイミングチャートを示す図。
- 【図 2】 図 1 に示した本発明のソースフォロウの動作を示す図。
- 【図 3】 本発明のボルテージフォロウとその動作を示す図。
- 【図 4】 本発明のソースフォロウを用いた半導体表示装置のブロック図。
- 【図 5】 図 4 (B) の信号線駆動回路の一部を示す回路図。
- 【図 6】 図 5 に示した信号線駆動回路の別の形態を示す回路図。
- 【図 7】 本発明の半導体表示装置の外観図。
- 【図 8】 本発明を用いた電子機器の図。
- 【図 9】 従来のソースフォロウと、入力電位 V_{in} と出力電位 V_{out} の実

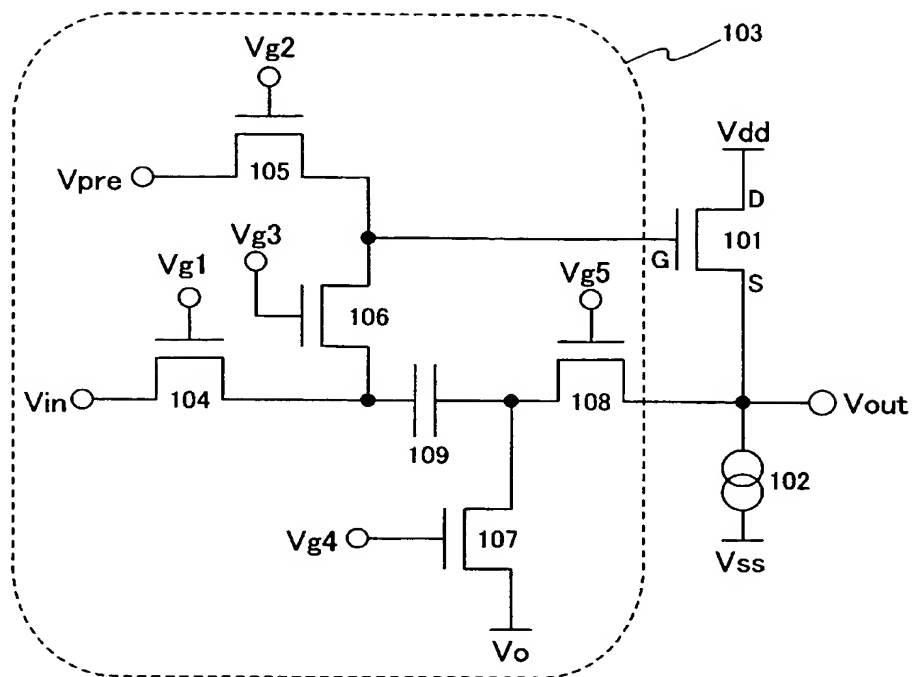
測データ。

【書類名】

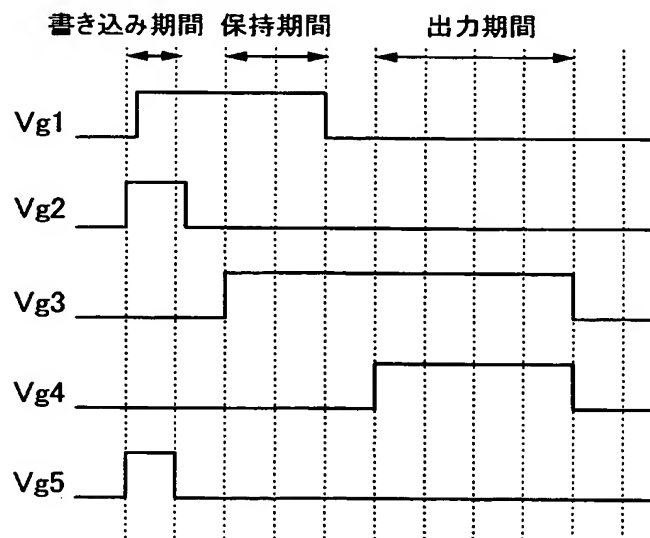
図面

【図 1】

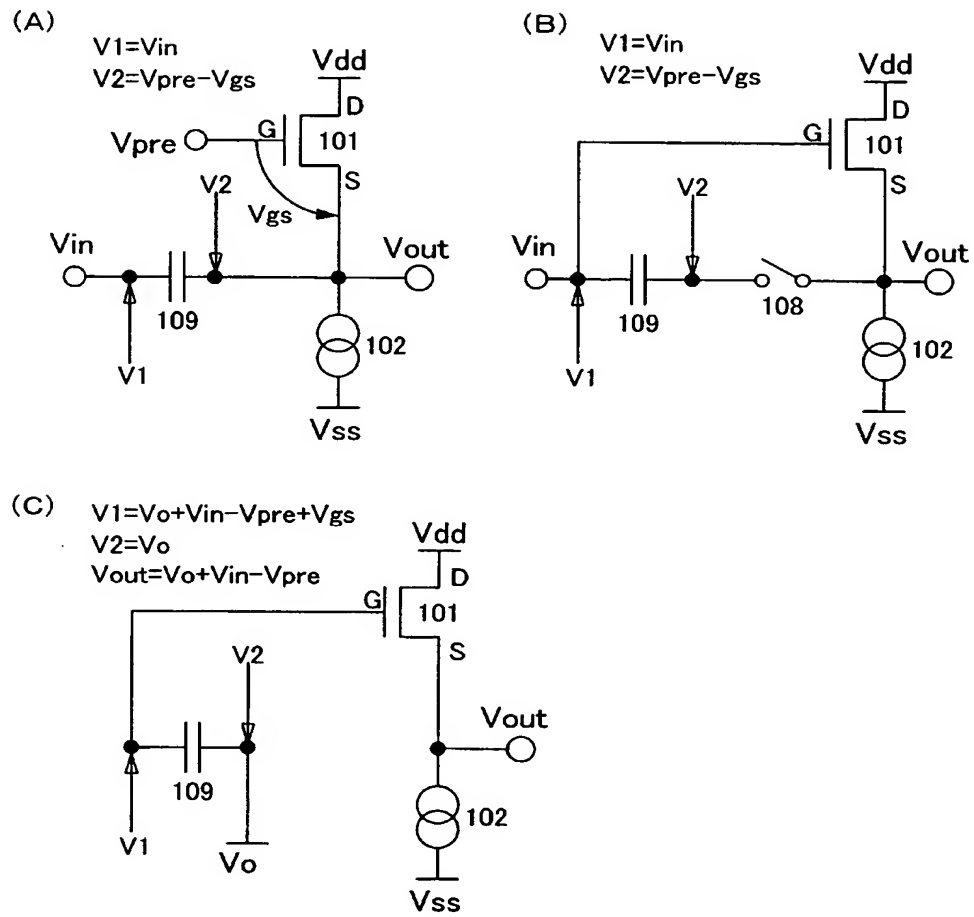
(A)



(B)

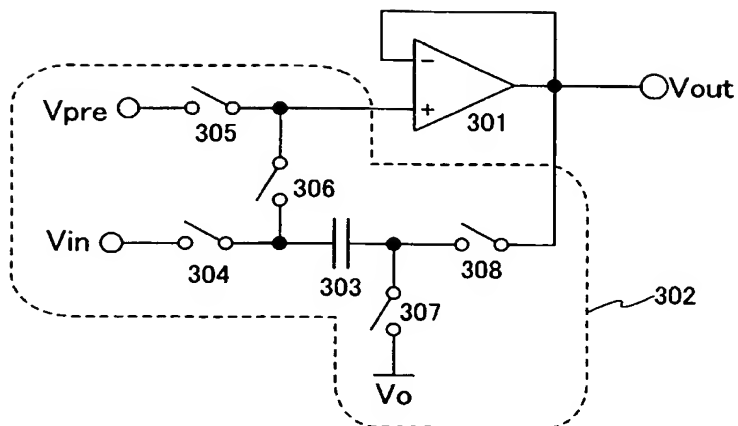


【図 2】



【図 3】

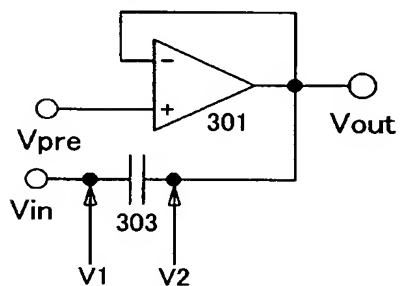
(A)



(B)

$$V1 = V_{in}$$

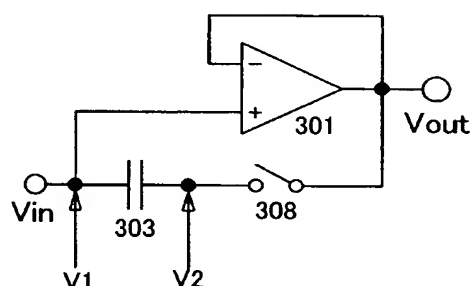
$$V2 = V_{pre} - V_{op}$$



(C)

$$V1 = V_{in}$$

$$V2 = V_{pre} - V_{op}$$

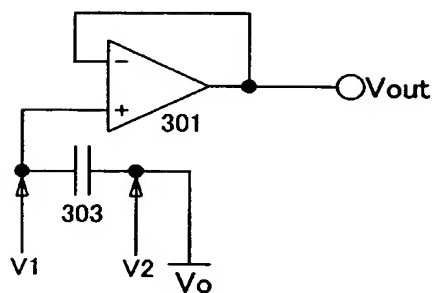


(D)

$$V1 = V_o + V_{in} - (V_{pre} - V_{op})$$

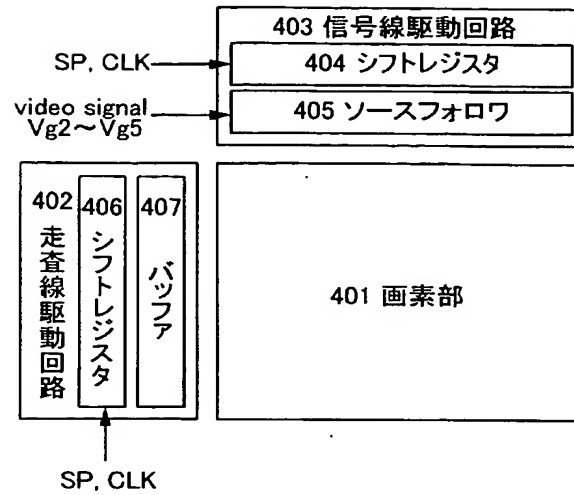
$$V2 = V_o$$

$$V_{out} = V_o + V_{in} - V_{pre}$$

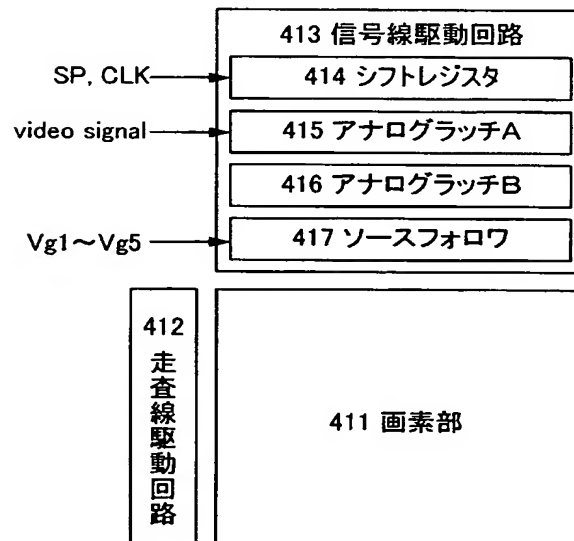


【図 4】

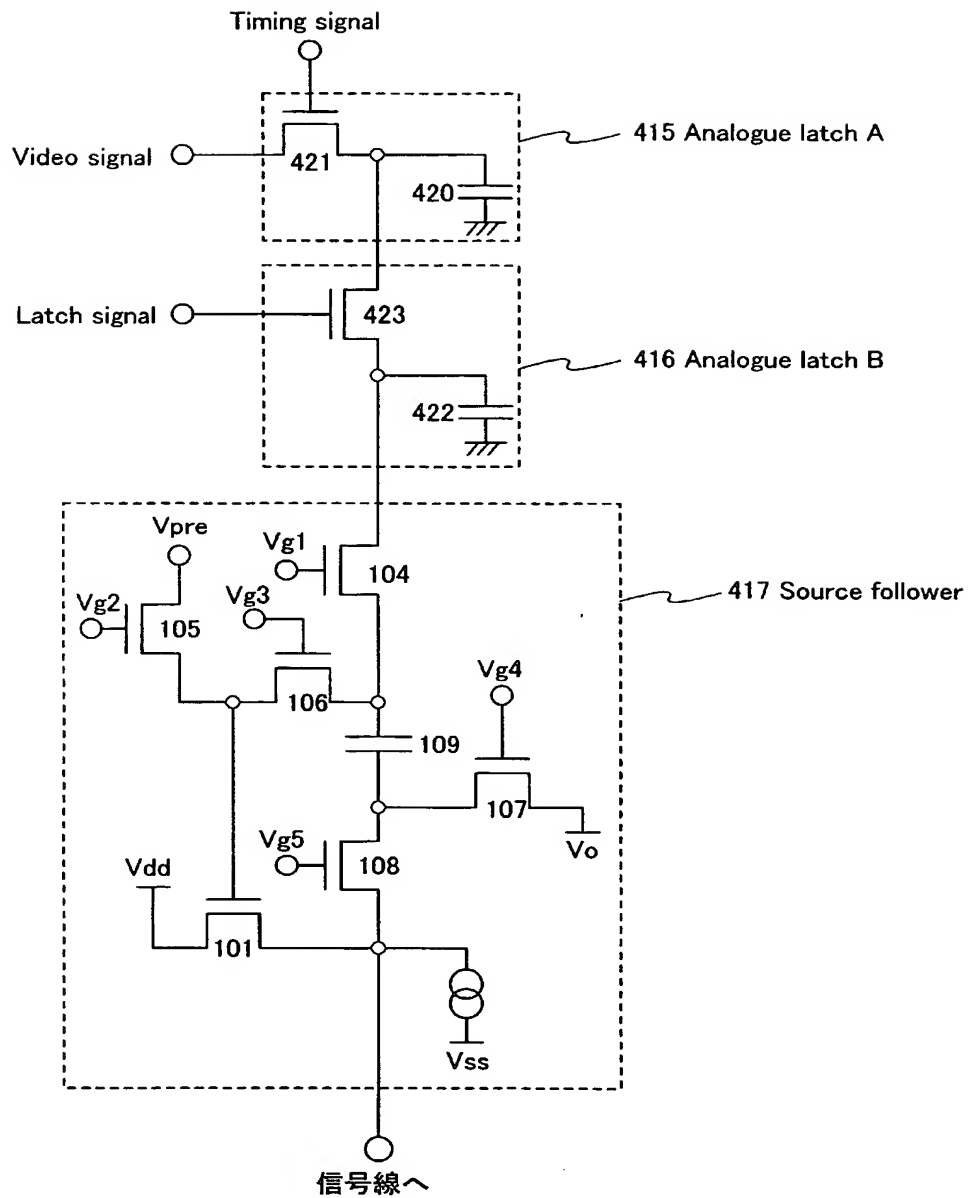
(A)



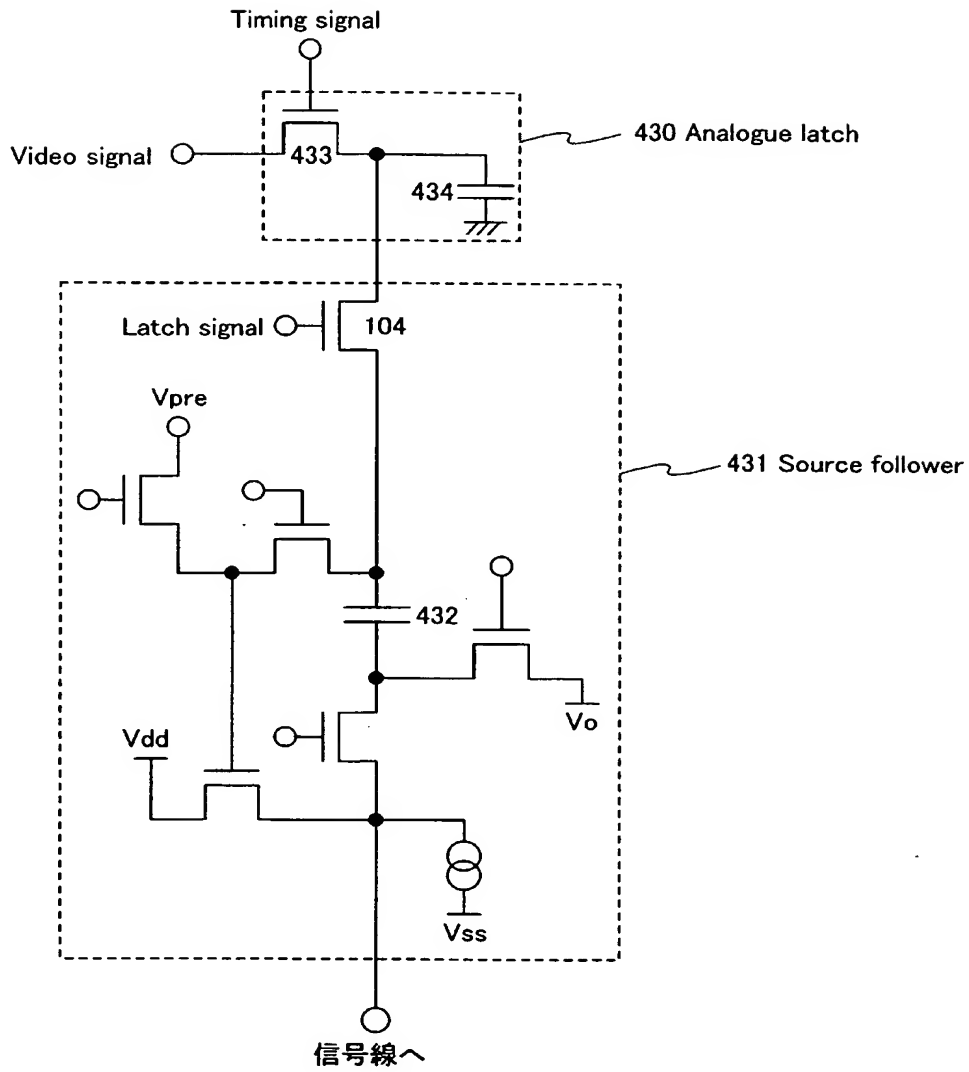
(B)



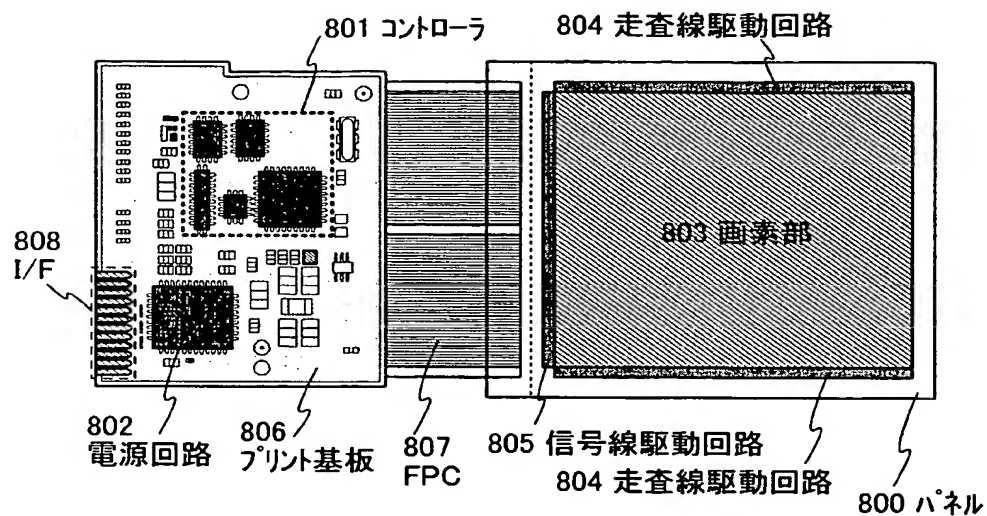
【図 5】



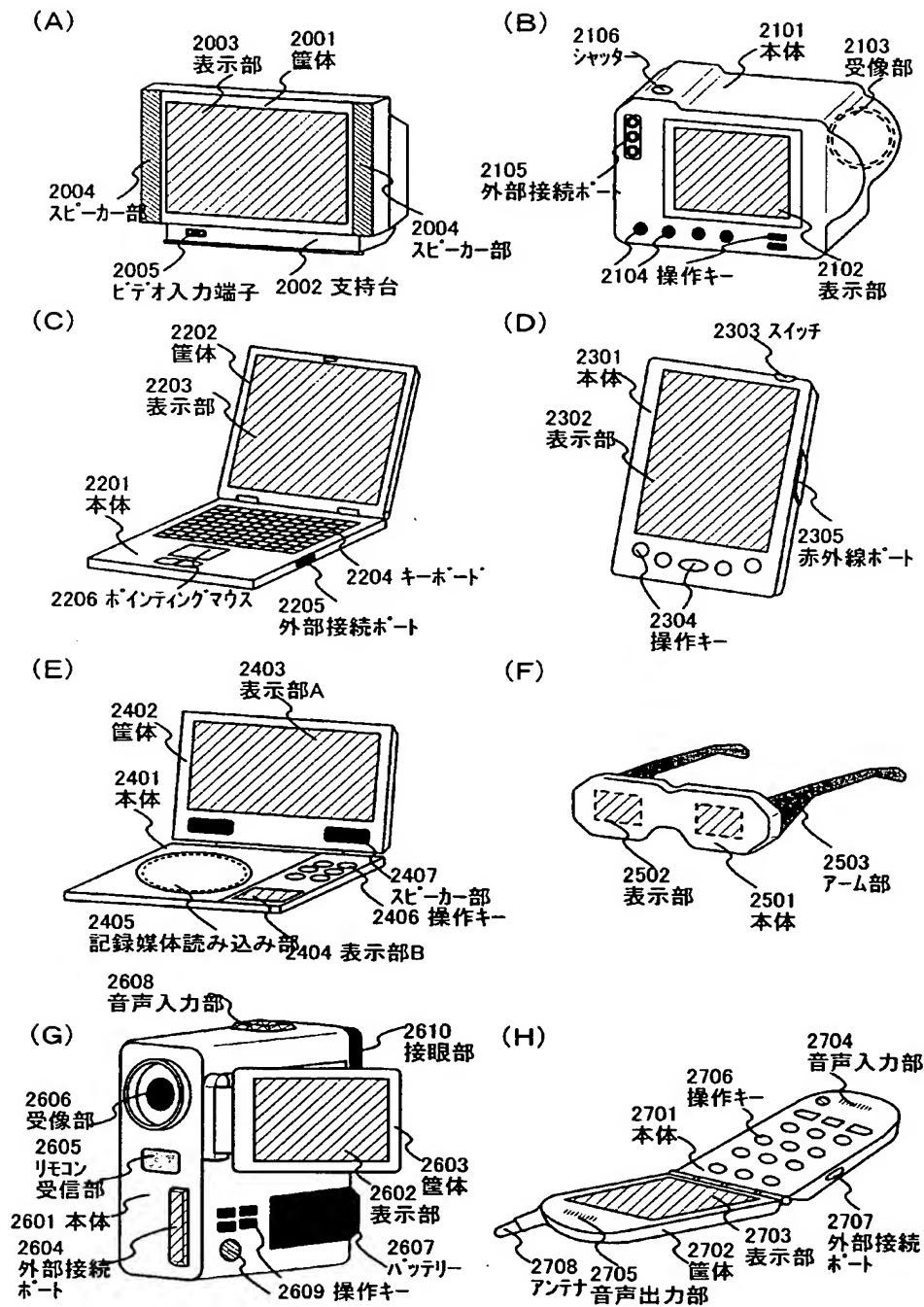
【図 6】



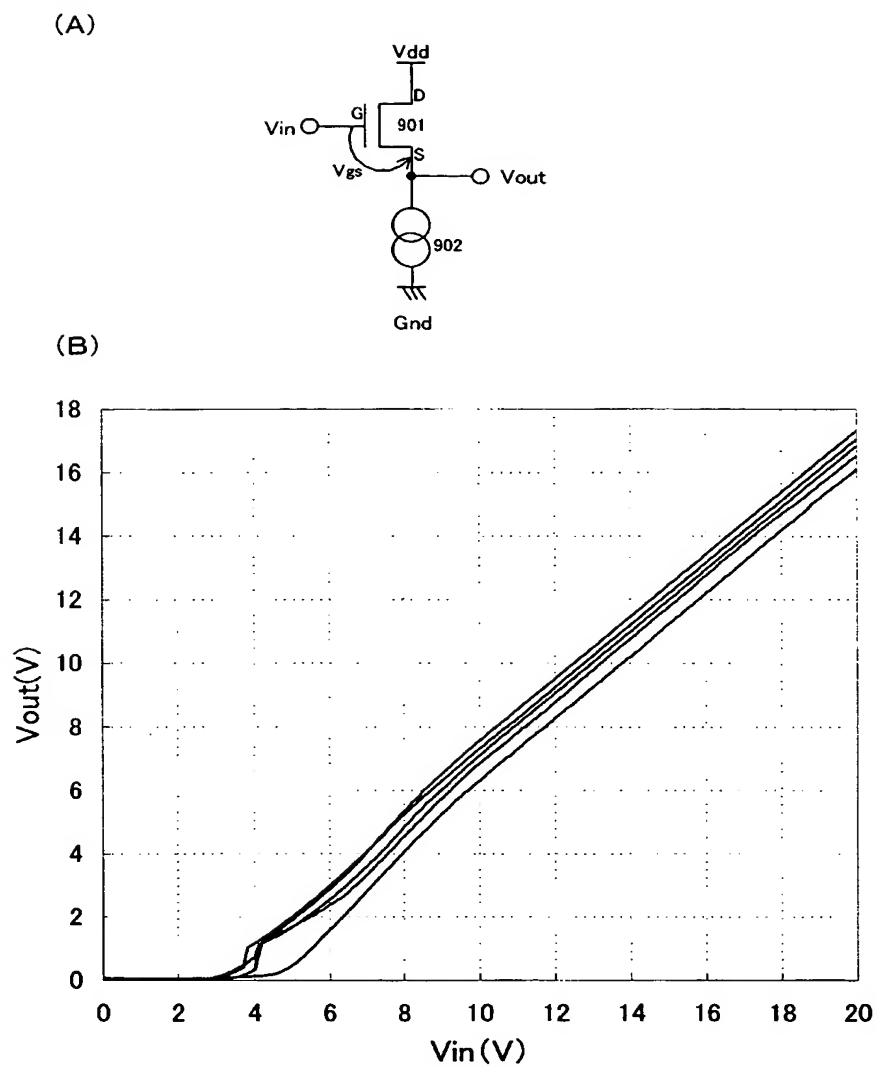
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 T F Tの閾値電圧がばらついても出力電位がばらつくのを抑えることができるソースフォロワの提案を課題とする。

【解決手段】 トランジスタのゲートに第1の電位が、容量素子の第1の電極に入力電位がそれぞれ供給され、なおかつ容量素子の第2の電極とトランジスタのソースが接続された第1の形態と、第1の電極及びトランジスタのゲートに入力電位が供給され、なおかつ第2の電極をフローティングとする第2の形態と、第1の電極及びトランジスタのゲートを接続した状態でフローティングとし、なおかつ第2の電極に第2の電位を供給する第3の形態とのいずれか1つが、複数のスイッチング素子によって選択され、トランジスタのドレインには第3の電位が与えられ、トランジスタのソースの電位が後段の回路に供給されることを特徴とするソースフォロワ。

【選択図】 図1

特願 2 0 0 3 - 1 0 4 7 2 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所